

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2002-008400**

(43)Date of publication of application : **11.01.2002**

(51)Int.Cl. **G11C 29/00**

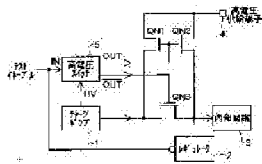
G11C 17/00

G11C 16/06

(21)Application number : **2000-186732** (71)Applicant : **SEIKO EPSON CORP**

(22)Date of filing : **21.06.2000** (72)Inventor : **KAMEI TERUHIKO**

(54) **SEMICONDUCTOR DEVICE**



(57)Abstract:

PROBLEM TO BE SOLVED: To perform accurately on/off control of high voltage externally supplied without increasing chip area not so much in a semiconductor device having a non-volatile memory.

SOLUTION: This device is provided with a charge pump circuit 1, a voltage

supply terminal 4, a first impedance element QN3 turning on/off a current path between the charge pump circuit and the non-volatile memory, a second impedance element QN2 turning on/off a current path between the voltage supply terminal and the non-volatile memory, and a control circuit 5 to which voltage is supplied from the charge pump circuit and which controls the first and second impedance elements.

LEGAL STATUS

[Date of request for examination] 17.05.2001

[Date of sending the examiner's
decision of rejection] 15.06.2004

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3606166

[Date of registration] 15.10.2004

[Number of appeal against examiner's
decision of rejection] 2004-14825

[Date of requesting appeal against
examiner's decision of rejection] 15.07.2004

[Date of extinction of right]

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The charge pump circuit which is the semiconductor device which has nonvolatile memory and generates a predetermined electrical potential difference in the interior of said semiconductor device, The electrical-potential-difference supply terminal with which an electrical potential difference is impressed from the exterior, and the 1st impedance component which turns on / turns off the current path between said charge pump circuits and said nonvolatile memory, The semiconductor device possessing the 2nd impedance component which turns on / turns off the current path between said electrical-potential-difference supply terminals and said nonvolatile memory, and the control circuit which an electrical potential difference is supplied from said charge pump circuit, and controls said 1st and 2nd impedance components.

[Claim 2] The semiconductor device according to claim 1 characterized by including the switching circuit which turns on the 2nd impedance component while said control circuit turns off the 1st impedance component according to the signal which becomes active in a static test mode.

[Claim 3] The semiconductor device according to claim 1 or 2 characterized by providing further the 3rd impedance component which is controlled by said control circuit, and turns on / turns off the current path between said charge pump circuit and said electrical-potential-difference supply terminal.

[Claim 4] The semiconductor device of claim 1-3 characterized by providing further the regulator for stabilizing the electrical potential difference supplied to said nonvolatile memory through said 1st impedance component in the normal mode from said charge pump circuit given in any 1 term.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the semiconductor device which has nonvolatile memory about a semiconductor device.

[0002]

[Description of the Prior Art] In order to write data in nonvolatile memory, such as a flash memory, the high tension of 12-18V is required. However, since the supply voltage of the latest semiconductor device is 3-5V, when driving nonvolatile memory on this electrical potential difference, it must carry out pressure up of the supply voltage in a semiconductor device, and must obtain high tension. Therefore, in the normal mode, high tension has been obtained by the charge pump circuit generally built in the semiconductor device. On the other hand, in the check mode which checks actuation of a semiconductor device, since actuation of each circuit part must be checked, it is necessary to supply high tension from the exterior.

[0003] The example of a configuration of such a conventional semiconductor device is shown in drawing 3. As shown in drawing 3, this semiconductor device

has the charge pump circuit 11 for usual which generates the high tension for writing data in nonvolatile memory in the normal mode. The output voltage of the charge pump circuit 11 for usual is stabilized by the regulator 2, and is supplied to the internal circuitry 3 containing nonvolatile memory. On the other hand, when performing the write-in trial of nonvolatile memory in a static test mode, a test enable signal becomes active and high tension is impressed to the high voltage supply terminal 4. If a test enable signal becomes active, a regulator 2 will suspend actuation and the charge pump circuit 12 for a test will start pressure-up actuation. In a static test mode, the charge pump circuit 11 for usual does not operate. The pressure-up electrical potential difference of the charge pump circuit 12 for a test is impressed to the gate of the N-channel metal oxide semiconductor transistor QN6 used as the pass gate. A transistor QN6 turns on by this and the high tension impressed to the high voltage supply terminal 4 is supplied to an internal circuitry 3.

[0004] Thus, since the gate voltage of a transistor QN6 is not changed even if a high current flows to an internal circuitry 3 by forming the charge pump circuit 12 for a test separately from the charge pump circuit 11 for usual, ON/OFF control of the high tension supplied from the outside can be performed to accuracy. On the other hand, in order to form the charge pump circuit 12 for a test, there was a fault that the chip area of a semiconductor device will increase.

[0005] Other examples of a configuration of the conventional semiconductor device are shown in drawing 4 . As shown in drawing 4 , this semiconductor device has the high-tension switch 25 instead of the charge pump circuit 12 for a test in drawing 3 . In a static test mode, from the charge pump circuit 1, high tension HV is supplied to the high-tension switch 25, and it operates. The output voltage of the high-tension switch 25 is impressed to the gate of the N-channel metal oxide semiconductor transistor QN6 used as the pass gate. A transistor QN6 turns on by this and the high tension impressed to the high voltage supply terminal 4 is supplied to an internal circuitry 3.

[0006] Thus, the charge pump circuit 12 for a test in drawing 3 is omissible by

forming the high-tension switch 25 which high tension is supplied and operates from the charge pump circuit 1. When the high current exceeding the capacity of the charge pump circuit 1 flowed to the internal circuitry 3 on the other hand, the output voltage of the high-tension switch 25, i.e., the gate voltage of a transistor QN6, declined, and there was a fault that ON/OFF control of high tension could not be performed to accuracy.

[0007]

[Problem(s) to be Solved by the Invention] Then, in the semiconductor device with which the object of this invention has nonvolatile memory in view of the above-mentioned point, it is enabling it to perform ON/OFF control of the high tension supplied from the outside to accuracy, without making a chip area increase not much.

[0008]

[Means for Solving the Problem] In order to solve the above technical problem, the semiconductor device concerning this invention The charge pump circuit which is the semiconductor device which has nonvolatile memory and generates a predetermined electrical potential difference in the interior of a semiconductor device, The electrical-potential-difference supply terminal with which an electrical potential difference is impressed from the exterior, and the 1st impedance component which turns on / turns off the current path between a charge pump circuit and nonvolatile memory, The 2nd impedance component which turns on / turns off the current path between an electrical-potential-difference supply terminal and nonvolatile memory, and the control circuit which an electrical potential difference is supplied from a charge pump circuit, and controls the 1st and 2nd impedance components are provided.

[0009] Here, while a control circuit turns off the 1st impedance component according to the signal which becomes active in a static test mode, you may also include the switching circuit which turns on the 2nd impedance component. Moreover, the above-mentioned semiconductor device may possess further the 3rd impedance component which is controlled by the control circuit, and turns on

/ turns off the current path between a charge pump circuit and an electrical-potential-difference supply terminal. Or the above-mentioned semiconductor device may possess further the regulator for stabilizing the electrical potential difference supplied to nonvolatile memory through the 1st impedance component in the normal mode from a charge pump circuit.

[0010] According to the semiconductor device concerning this invention constituted as mentioned above, in the semiconductor device which has nonvolatile memory, ON/OFF control of the high tension supplied from the outside can be performed to accuracy, without making a chip area increase not much.

[0011]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing. In addition, the same reference number is given to the same component, and explanation is omitted. The structure of the semiconductor device applied to 1 operation gestalt of this invention at drawing 1 is shown. As shown in drawing 1, this semiconductor device has the charge pump circuit 1 which generates the high tension for writing data in nonvolatile memory in the normal mode. The output voltage of the charge pump circuit 1 is stabilized by the regulator 2, and is supplied to the internal circuitry 3 containing nonvolatile memory.

[0012] On the other hand, when performing the write-in trial of nonvolatile memory in a static test mode, a test enable signal becomes active and high tension is impressed to the high voltage supply terminal 4. If a test enable signal becomes active, a regulator 2 suspends actuation, from the charge pump circuit 1, high tension HV will be supplied to the high-tension switch 5, and it will operate. By forming such a high-tension switch 5, the charge pump circuit 12 for a test in drawing 3 is omissible.

[0013] The high-level signal OUT outputted from the high-tension switch 5 when a test enable signal becomes active is impressed to the gate of the N-channel metal oxide semiconductor transistors QN1 and QN2. The transistor QN2 used

as the pass gate turns on by this, and the high tension impressed to the high voltage supply terminal 4 is supplied to an internal circuitry 3. Moreover, since a transistor QN1 is also turned on, when the output voltage of the charge pump circuit 1 goes up too much, a reverse current flows from the charge pump circuit 1 to the high voltage supply terminal 4.

[0014] The signal OUT bar of the low level outputted from the high-tension switch 5 when a test enable signal becomes active is impressed to the gate of the N-channel metal oxide semiconductor transistor QN3. Thereby, a transistor QN3 turns off and the charge pump circuit 1 and an internal circuitry 3 are separated. For this reason, even if a high current flows to an internal circuitry 3, the loss of power of the charge pump circuit 1 does not happen. Therefore, since the output voltage of the high-tension switch 5, i.e., the gate voltage of a transistor QN2, does not decline, ON/OFF control of the high tension supplied from the outside can be performed to accuracy.

[0015] Next, the configuration of the high-tension switch 5 used for the semiconductor device of drawing 1 is explained, referring to drawing 2. The input IN of a high-tension switch is connected to the gate of the N-channel metal oxide semiconductor transistor QN5 through the inverter 6 while connecting with the gate of the N-channel metal oxide semiconductor transistor QN4. P channel MOS transistors QP1 and QP2 which serve as a complementary pair, respectively are connected to transistors QN4 and QN5, and those nodes become a reversal output OUT bar and the noninverting output OUT. High tension HV is supplied to the source of transistors QP1 and QP2 from a charge pump circuit. It connects with the gate of transistors QP2 and QP1, respectively, and the reversal output OUT bar and the noninverting output OUT of a high-tension switch constitute the positive feedback loop formation.

[0016] If a high-level test enable signal is supplied to the input IN of a high-tension switch by the above configuration, the reversal output OUT bar of a high-tension switch will serve as a low level, and the noninverting output OUT will become high-level by it.

[0017]

[Effect of the Invention] According to this invention, in the semiconductor device which was described above and which has nonvolatile memory, ON/OFF control of the high tension supplied from the outside can be performed to accuracy like, without making a chip area increase not much.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the semiconductor device concerning 1 operation gestalt of this invention.

[Drawing 2] It is the circuit diagram of the high-tension switch used for the semiconductor device of drawing 1 .

[Drawing 3] It is the block diagram showing the example of a configuration of the conventional semiconductor device.

[Drawing 4] It is the block diagram showing other examples of a configuration of the conventional semiconductor device.

[Description of Notations]

1, 11, 12 Charge pump circuit

2 Regulator

3 Internal Circuitry

4 High Voltage Supply Terminal

5 25 High-tension switch

6 Inverter

QN1-QN6 N-channel metal oxide semiconductor transistor

QP1-QP2 P channel MOS transistor

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

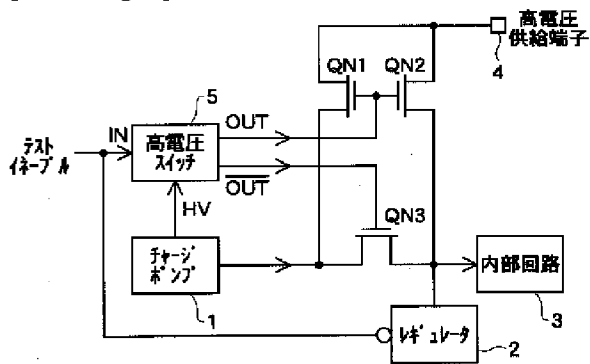
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

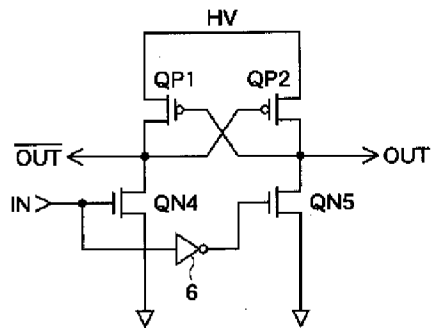
3.In the drawings, any words are not translated.

DRAWINGS

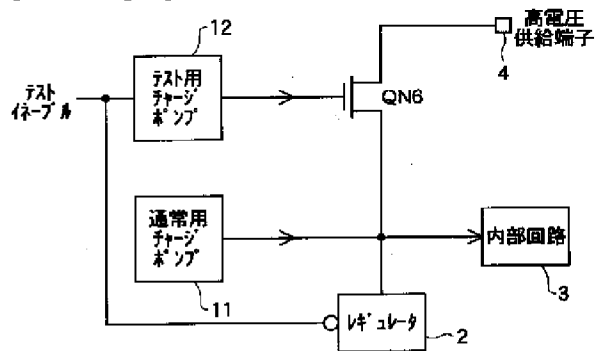
[Drawing 1]



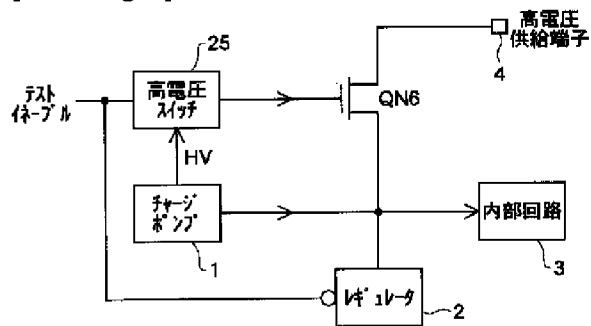
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]

【特許請求の範囲】

【請求項1】 不揮発性メモリを有する半導体装置であって、

前記半導体装置の内部において所定の電圧を発生するチャージポンプ回路と、

外部から電圧が印加される電圧供給端子と、

前記チャージポンプ回路と前記不揮発性メモリとの間の電流経路をオン／オフする第1のインピーダンス素子と、

前記電圧供給端子と前記不揮発性メモリとの間の電流経路をオン／オフする第2のインピーダンス素子と、

前記チャージポンプ回路から電圧が供給されて前記第1及び第2のインピーダンス素子を制御する制御回路と、を具備する半導体装置。

【請求項2】 前記制御回路が、テストモードにおいてアクティブとなる信号に従って第1のインピーダンス素子をオフすると共に第2のインピーダンス素子をオンするスイッチ回路を含むことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記制御回路によって制御され、前記チャージポンプ回路と前記電圧供給端子との間の電流経路をオン／オフする第3のインピーダンス素子をさらに具備することを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 通常モードにおいて前記チャージポンプ回路から前記第1のインピーダンス素子を介して前記不揮発性メモリに供給される電圧を安定化するためのレギュレータをさらに具備することを特徴とする請求項1～3のいずれか1項記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、不揮発性メモリを有する半導体装置に関する。

【0002】

【従来の技術】フラッシュメモリ等の不揮発性メモリにデータの書き込みを行うためには、12～18Vの高電圧が必要である。ところが、最近の半導体装置の電源電圧は3～5Vであるから、この電圧で不揮発性メモリを駆動する場合には、半導体装置において電源電圧を昇圧して高電圧を得なければならない。そのために、通常モードにおいては、一般に半導体装置に内蔵されたチャージポンプ回路により高電圧を得ている。一方、半導体装置の動作のチェックを行うチェックモードにおいては、個々の回路部分の動作をチェックしなければならないので、外部から高電圧を供給する必要がある。

【0003】図3に、このような従来の半導体装置の構成例を示す。図3に示すように、この半導体装置は、通常モードにおいて不揮発性メモリにデータを書き込むための高電圧を発生する通常用チャージポンプ回路11を有している。

通常用チャージポンプ回路11の出力電圧は、レギュレータ2によって安定化され、不揮発性メモリを含む内部回路3に供給される。一方、テストモードにおいて不揮発性メモリの書き込み試験を行う場合には、テストイネーブル信号がアクティブとなり、高電圧供給端子4に高電圧が印加される。テストイネーブル信号がアクティブになると、レギュレータ2は動作を停止し、テスト用チャージポンプ回路12が昇圧動作を開始する。テストモードにおいては、通常用チャージポンプ回路11は動作しない。テスト用チャージポンプ回路12の昇圧電圧は、パスゲートとして用いられるNチャネルMOSトランジスタQN6のゲートに印加される。これによりトランジスタQN6がオンして、高電圧供給端子4に印加された高電圧が内部回路3に供給される。

【0004】このように、テスト用チャージポンプ回路12を通常用チャージポンプ回路11と別個に設けることにより、内部回路3に大電流が流れてもトランジスタQN6のゲート電圧が変動しないので、外部から供給される高電圧のオン／オフ制御を正確に行うことができる。その反面、テスト用チャージポンプ回路12を設けるために、半導体装置のチップ面積が増加してしまうという欠点があった。

【0005】図4に、従来の半導体装置の他の構成例を示す。図4に示すように、この半導体装置は、図3におけるテスト用チャージポンプ回路12の替わりに、高電圧スイッチ25を有している。高電圧スイッチ25は、テストモードにおいて、チャージポンプ回路1から高電圧HVを供給されて動作する。高電圧スイッチ25の出力電圧は、パスゲートとして用いるNチャネルMOSトランジスタQN6のゲートに印加される。これによりトランジスタQN6がオンして、高電圧供給端子4に印加された高電圧が内部回路3に供給される。

【0006】このように、チャージポンプ回路1から高電圧を供給されて動作する高電圧スイッチ25を設けることにより、図3におけるテスト用チャージポンプ回路12を省略することができる。その反面、チャージポンプ回路1の能力を超える大電流が内部回路3に流れると、高電圧スイッチ25の出力電圧、即ち、トランジスタQN6のゲート電圧が低下してしまい、高電圧のオン／オフ制御を正確に行うことができないという欠点があった。

【0007】

【発明が解決しようとする課題】そこで、上記の点に鑑み、本発明の目的は、不揮発性メモリを有する半導体装置において、チップ面積をあまり増加させずに、外部から供給される高電圧のオン／オフ制御を正確に行うことができるようにすることである。

【0008】

【課題を解決するための手段】以上の課題を解決するため、本発明に係る半導体装置は、不揮発性メモリを有す

る半導体装置であって、半導体装置の内部において所定の電圧を発生するチャージポンプ回路と、外部から電圧が印加される電圧供給端子と、チャージポンプ回路と不揮発性メモリとの間の電流経路をオン／オフする第1のインピーダンス素子と、電圧供給端子と不揮発性メモリとの間の電流経路をオン／オフする第2のインピーダンス素子と、チャージポンプ回路から電圧が供給されて第1及び第2のインピーダンス素子を制御する制御回路とを具備する。

【0009】ここで、制御回路が、テストモードにおいてアクティブとなる信号に従って第1のインピーダンス素子をオフすると共に第2のインピーダンス素子をオンするスイッチ回路を含んでも良い。また、上記半導体装置は、制御回路によって制御されてチャージポンプ回路と電圧供給端子との間の電流経路をオン／オフする第3のインピーダンス素子をさらに具備しても良い。あるいは、上記半導体装置は、通常モードにおいてチャージポンプ回路から第1のインピーダンス素子を介して不揮発性メモリに供給される電圧を安定化するためのレギュレータをさらに具備しても良い。

【0010】以上の様に構成した本発明に係る半導体装置によれば、不揮発性メモリを有する半導体装置において、チップ面積をあまり増加させずに、外部から供給される高電圧のオン／オフ制御を正確に行うことができる。

【0011】

【発明の実施の形態】以下、図面に基づいて、本発明の実施の形態について説明する。尚、同一の構成要素には同一の参照番号を付して、説明を省略する。図1に、本発明の一実施形態に係る半導体装置の構造を示す。図1に示すように、この半導体装置は、通常モードにおいて不揮発性メモリにデータを書き込むための高電圧を発生するチャージポンプ回路1を有している。チャージポンプ回路1の出力電圧は、レギュレータ2によって安定化され、不揮発性メモリを含む内部回路3に供給される。

【0012】一方、テストモードにおいて不揮発性メモリの書き込み試験を行う場合には、テストイネーブル信号がアクティブとなり、高電圧供給端子4に高電圧が印加される。テストイネーブル信号がアクティブになると、レギュレータ2は動作を停止し、高電圧スイッチ5はチャージポンプ回路1から高電圧HVを供給されて動作する。このような高電圧スイッチ5を設けることにより、図3におけるテスト用チャージポンプ回路12を省略することができる。

【0013】テストイネーブル信号がアクティブとなったときに高電圧スイッチ5から出力されるハイレベルの信号OUTは、NチャネルMOSトランジスタQN1とQN2のゲートに印加される。これにより、パスゲートとして用いられるトランジスタQN2がオンして、高電圧供給端子4に印加された高電圧が内部回路3に供給さ

れる。また、トランジスタQN1もオンするので、チャージポンプ回路1の出力電圧が上がり過ぎた場合には、チャージポンプ回路1から高電圧供給端子4へと逆電流が流れる。

【0014】テストイネーブル信号がアクティブとなったときに高電圧スイッチ5から出力されるローレベルの信号OUTバーは、NチャネルMOSトランジスタQN3のゲートに印加される。これにより、トランジスタQN3がオフして、チャージポンプ回路1と内部回路3とが切り離される。このため、内部回路3に大電流が流れてもチャージポンプ回路1の出力低下が起こらない。従って、高電圧スイッチ5の出力電圧、即ち、トランジスタQN2のゲート電圧が低下しないので、外部から供給される高電圧のオン／オフ制御を正確に行うことができる。

【0015】次に、図1の半導体装置に用いられる高電圧スイッチ5の構成について、図2を参照しながら説明する。高電圧スイッチの入力INは、NチャネルMOSトランジスタQN4のゲートに接続されると共に、インバータ6を介してNチャネルMOSトランジスタQN5のゲートに接続されている。トランジスタQN4とQN5には、それぞれコンプリメンタリペアとなるPチャネルMOSトランジスタQP1とQP2が接続されており、それらの接続点が反転出力OUTバーと非反転出力OUTになる。トランジスタQP1とQP2のソースには、チャージポンプ回路から高電圧HVが供給される。高電圧スイッチの反転出力OUTバーと非反転出力OUTは、トランジスタQP2とQP1のゲートにそれぞれ接続されて、正帰還ループを構成している。

【0016】以上の構成により、高電圧スイッチの入力INにハイレベルのテストイネーブル信号が供給されると、高電圧スイッチの反転出力OUTバーはローレベルとなり、非反転出力OUTはハイレベルとなる。

【0017】

【発明の効果】以上述べた様に、本発明によれば、不揮発性メモリを有する半導体装置において、チップ面積をあまり増加させずに、外部から供給される高電圧のオン／オフ制御を正確に行うことができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体装置の構成を示すブロック図である。

【図2】図1の半導体装置に用いられる高電圧スイッチの回路図である。

【図3】従来の半導体装置の構成例を示すブロック図である。

【図4】従来の半導体装置の他の構成例を示すブロック図である。

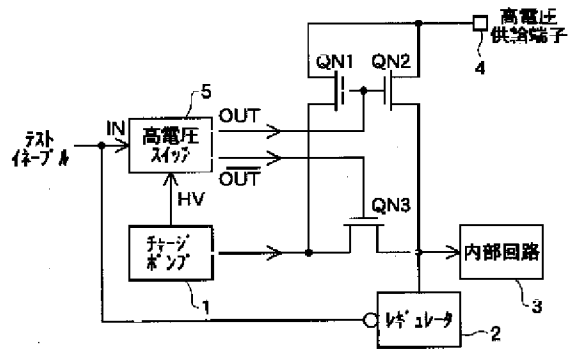
【符号の説明】

1、11、12 チャージポンプ回路
2 レギュレータ

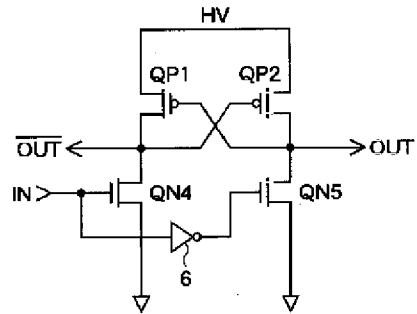
- 3 内部回路
- 4 高電圧供給端子
- 5、25 高電圧スイッチ

- 6 インバータ
- QN1～QN6 NチャネルMOSトランジスタ
- QP1～QP2 PチャネルMOSトランジスタ

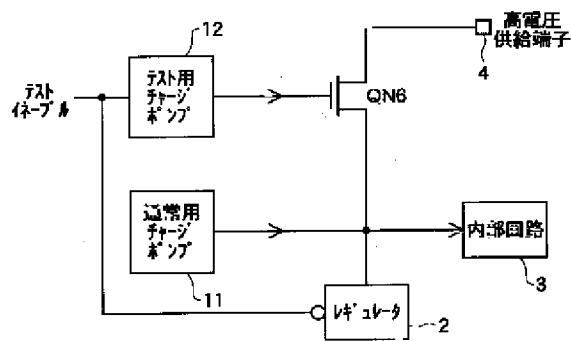
【図1】



【図2】



【図3】



【図4】

